

# XÂY DỰNG MÔ HÌNH BIẾN ĐỔI TÍN HIỆU TƯƠNG TỰ SANG TÍN HIỆU SỐ SỬ DỤNG PHẦN MỀM MATLAB

*Nguyễn Thị Việt Hà\*, Nguyễn Minh Tân, Nguyễn Văn Tuấn*

*Khoa Điện tử, Trường Đại học Công Nghiệp Hà Nội*

*Email\*: viethanguyen.hau@gmail.com*

*Số điện thoại: 0828365969*

## **Tóm tắt (Abstract)**

Nghiên cứu này trình bày mô hình được đề xuất của bộ chuyển đổi tương tự-kỹ thuật số xấp xỉ 13 bit có thể cấu hình tự động (Successive approximation register analog digital converter - SAR ADC) được sử dụng cho các ứng dụng ngành y sinh và các ứng dụng 5G. Với mô hình Matlab, SAR-ADC được đề xuất sử dụng chuyển mạch không lý tưởng sang mô hình ADC lý tưởng, do đó, có thể tránh những thành phần không lý tưởng của mạch được thực hiện ở mức transistor như trong phương pháp thông thường. Các khối SAR-ADC đã được mô hình hóa theo cách bộ chuyển đổi tương tự-số (Analog-to-Digital Converter – ADC) hoạt động ở chế độ điện áp hoặc chế độ dòng điện và trong các trường hợp không lý tưởng như ảnh hưởng của sai lệch xung nhịp và nhiễu. Nhờ những ưu điểm trên, phương pháp mô hình hóa hành vi cho phép người thiết kế tạo ra môi trường để đưa ra các thông số điện và động lực học chính xác nhất. Với SAR-ADC 13-bit, nghiên cứu này đã đo các thông số hiệu suất như tỷ lệ tín hiệu trên nhiễu (Signal-to-Noise Ratio -SNR) cao tới 79.96 dB, số bit hiệu dụng (Effective Number Of Bits - ENoB) là 12.98 bit với dải động không có nhiễu (Spurious-free dynamic range -SFDR) là chỉ 101.16 dB.

## **1. GIỚI THIỆU (INTRODUCTION)**

Ngày nay, các mạch tích hợp (Integrated Circuit -IC) có thể được tìm thấy trên hầu hết mọi thiết bị điện tử nhúng mà mọi người tiếp xúc [1-3]. Sự tiến bộ của công nghệ vi mạch đã góp phần vào sự gia tăng của các mạch tích hợp trong cuộc sống hằng

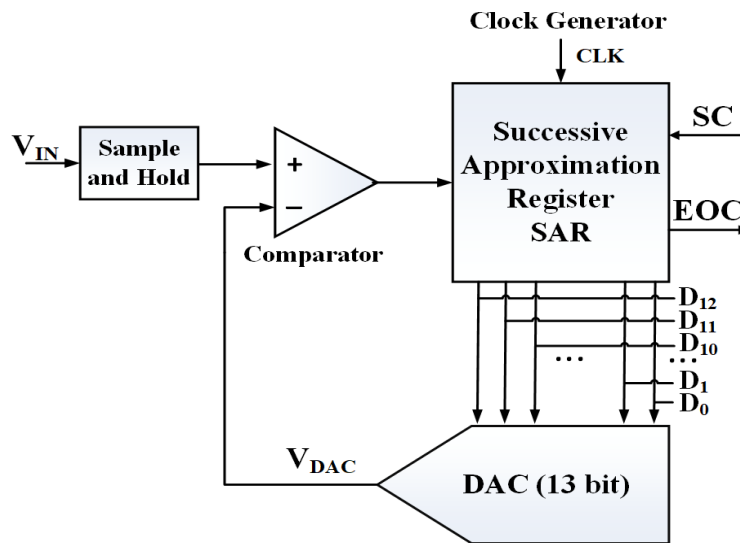
ngày của chúng ta. Transistor hiệu ứng trường kim loại-oxit bán dẫn (Metal-Oxide Semiconductor Field-Effect Transistor -MOSFET) được coi là trung tâm đầu não của hầu hết các mạch hiện đại. Trong quá trình sản xuất, chế tạo công nghệ bóng bán dẫn, không những công nghệ này ngày càng được cải tiến mà còn làm giảm được chi phí, cải thiện hiệu suất và tích hợp các nhiệm vụ phức tạp với các nhiệm vụ đơn giản trong cùng một môi trường. Các mạch kỹ thuật số được hưởng lợi vào kích thước của bóng bán dẫn và điện áp cung cấp vì nó giúp giảm điện năng tiêu thụ, tăng tốc độ và giảm về mặt không gian thiết kế [4]. Các mạch kỹ thuật số có tính linh hoạt cao hơn, kỹ thuật thiết kế cải tiến và khả năng tạo ra hiệu suất phức tạp hơn các mạch tương tự. Tuy nhiên, một số chức năng được thực hiện bởi mạch tương tự, chẳng hạn như lọc tín hiệu hoặc khuếch đại các thành phần điện tử ở cuối chuỗi thu nhận tín hiệu, không thể thực hiện được trong mạch kỹ thuật số. Vì vậy đòi hỏi các yêu cầu chuyển từ tương tự sang số hoặc ngược lại. Bộ chuyển đổi dữ liệu là bộ được sử dụng để thực hiện nhiệm vụ này. Hai loại bộ chuyển đổi dữ liệu là bộ chuyển đổi kỹ thuật số sang tương tự (Digital-to-Analog Converter -DAC) và bộ chuyển đổi tương tự sang số (ADC).

Bài nghiên cứu này, xây dựng mô hình biến đổi tương tự sang tín hiệu số 13-bit SAR ADC để sử dụng trong ứng dụng 5G với các thông số hiệu suất như tỷ lệ tín hiệu trên nhiễu (SNR) cao tới 79.96 dB, số bit hiệu dụng (ENoB) là 12.98 bit với dải động không có nhiễu (SFDR) là 101.16 dB.

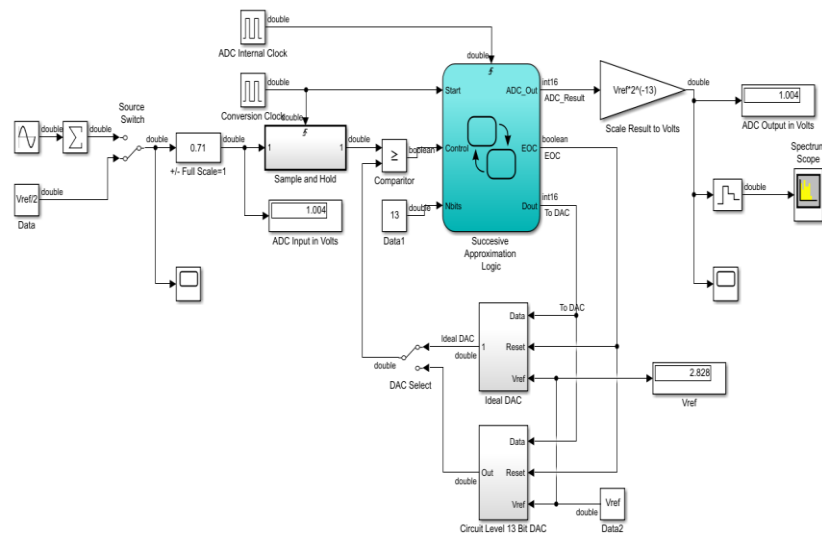
## 2. CƠ SỞ LÝ THUYẾT (THEORETICAL FRAMEWORD)

SAR ADC về cơ bản thực hiện tìm kiếm nhị phân trong một tập hợp tất cả các mức lượng tử trước khi xuất kết quả cuối cùng. Hình 1 cho thấy hình ảnh khối được đề xuất của ADC SAR 13-bit bao gồm một mẫu và giữ (S / H) để lấy mẫu và giữ tín hiệu đầu vào tương tự trong một khoảng thời gian cụ thể. Một khối so sánh được sử dụng để so sánh giá trị tương tự được lấy mẫu ( $V_{IN}$ ) với tín hiệu tương tự từ khối biến tần kỹ thuật số sang tương tự (DAC) tương ứng với 13-bit và tạo ra tín hiệu so sánh tương ứng dưới dạng logic “1” hoặc “0”. Khối SAR được sử dụng để điều khiển logic để tạo dữ liệu số từ bit quan trọng nhất (Most Significant Bit -MSB)  $D_{12}$  liên quan đến bit quan trọng nhất (Least Significant Bit -LSB)  $D_0$  bằng cách xấp xỉ tuần tự n bit kỹ thuật số theo đầu ra của bộ so sánh và n bit DAC để tạo ra một giá trị tương tự tương ứng với dữ liệu số từ khối SAR. SAR bao gồm các thanh ghi đầu ra để lưu dữ liệu. Nó bao gồm một bộ tạo xung nhịp bổ sung để cung cấp cho ADC một xung nhịp bên trong.

Trong nghiên cứu này, **Hình 2** mô tả tín hiệu đầu vào cho biết bắt đầu chuyển đổi (start of conversion - SC) và tín hiệu đầu ra cho biết kết thúc chuyển đổi (End of conversion - EOC) [5].



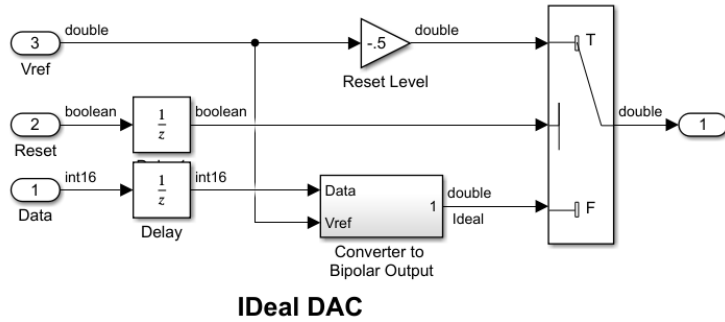
Hình 1: Sơ đồ khối của thanh ghi xấp xỉ 13-bit SAR ADC



Hình 2: Sơ đồ thiết kế SAR ADC 13-bit trong Simulink.

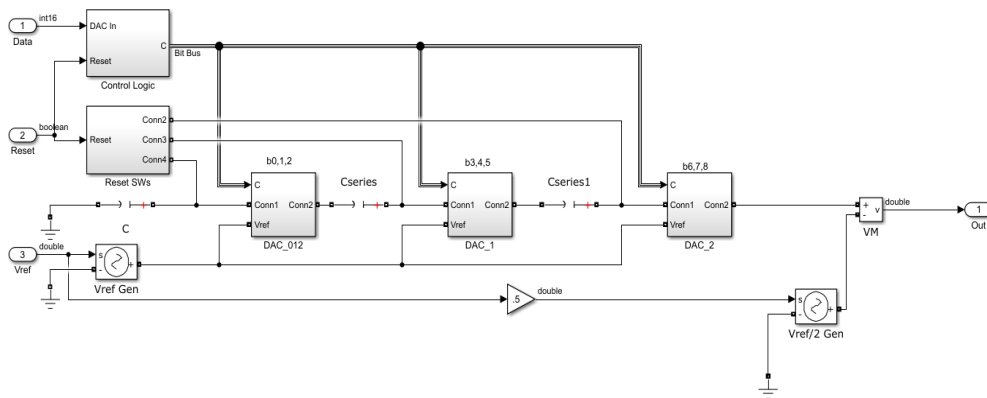
Khối DAC không bao gồm bộ so sánh và khoá lấy mẫu), DAC thực chất là một chuỗi các tụ nhị phân (điện dung tăng dần theo cấp số nhân với công bội là 2) và khoá đi kèm được thể hiện ở **Hình 4**. Trong khi bản trên của các tụ được đóng/ngắt với tín hiệu đầu vào, bản dưới ban đầu được nối vào một điện áp mức chung  $V_{CM}$  sau đó được chuyển mạch sang một trong hai điện áp tham chiếu. Việc chuyển mạch bản trên của tụ điện được đảm nhiệm bởi các khoá trong bộ lấy mẫu do đó, DAC bao gồm dãy tụ

nhị phân và các khoá 3 (khoá 3 điểm nối tới điện áp mức chung hoặc hai điện áp tham chiếu với  $C$  giá trị tụ đơn vị). Khối DAC dùng  $N_{\text{caps}}=3$  và đồng thời các giá trị của tụ điện trong các khối DAC con là bậc mũ của 2. Trong bài nghiên cứu này, chúng tôi dùng tái tạo lại các tụ điện trong các khối DAC con, để với mục đích tiết kiệm tụ điện, tốc độ chuyển đổi mạch nhanh.



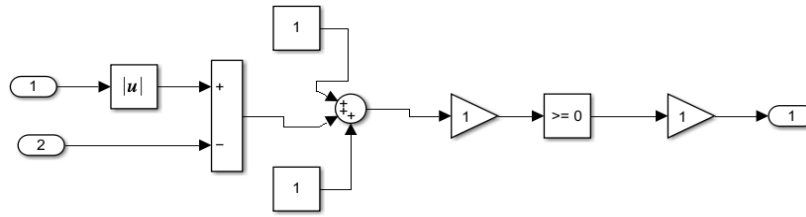
**IDEAL DAC**

Hình 3: Sơ đồ khối DAC lý tưởng.



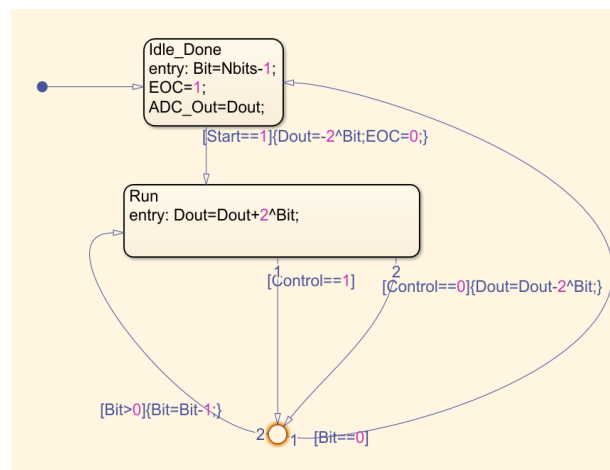
Hình 4: Sơ đồ khối DAC 13-bit SAR DAC.

Bộ so sánh là một trong những khối xây dựng quan trọng của SAR ADC trong việc xây dựng các bộ chuyển đổi tốc độ cao. Khi so sánh điện áp được thực hiện, một kết quả được tạo ra bằng cách sử dụng các bộ so sánh trong bộ SAR ADC. Mục tiêu của việc thiết kế bộ so sánh là đưa ra kết luận nhanh chóng và chính xác đồng thời giảm nhiễu trong quá trình. Trong các ứng dụng khác nhau, cách triển khai cụ thể của bộ so sánh là khác nhau. Trong nghiên cứu này, bộ so sánh được xây dựng dưới dạng mạch động có xung nhịp khác so với các cấu trúc mạch so sánh lý tưởng được thể hiện ở Hình 5.



Hình 5: Sơ đồ khối của bộ so sánh lý tưởng.

Khởi điều khiển SAR ADC được thực hiện trong mô hình này bằng cách sử dụng phương pháp máy trạng thái (State flow) được thể hiện ở hình 6. Trong bài nghiên cứu này, phương pháp máy trạng thái hoạt động như một bộ tuần tự, bắt đầu bằng số đếm với mức trung bình là 0 Volt. Sau đó, nó thực hiện tìm kiếm nhị phân vị trí 1 bit tại một thời điểm, để xác định số đếm tương ứng với giá trị gần đúng nhất với tín hiệu đầu vào được lấy mẫu trong vòng 13-bit. Nếu bộ so sánh trả về giá trị 1 trên 1 bit nhất định, thì bit đó được đặt. Vị trí bit đó sẽ bị xóa nếu nó chưa được xóa. Bởi vì có 1 bit, việc hoàn thành chuyển đổi cho một mẫu đầu vào cụ thể mất 13 chu kỳ đồng hồ tốc độ bit. Đồng hồ tốc độ bit trong mô hình là 140MHz, hay còn được mô phỏng là khối Internal Clock ADC. Dòng kết thúc chuyển đổi (EOC) tăng cao sau chuỗi logic điều khiển từ bit 12 đến bit 0 và mạch DAC lặp lại.

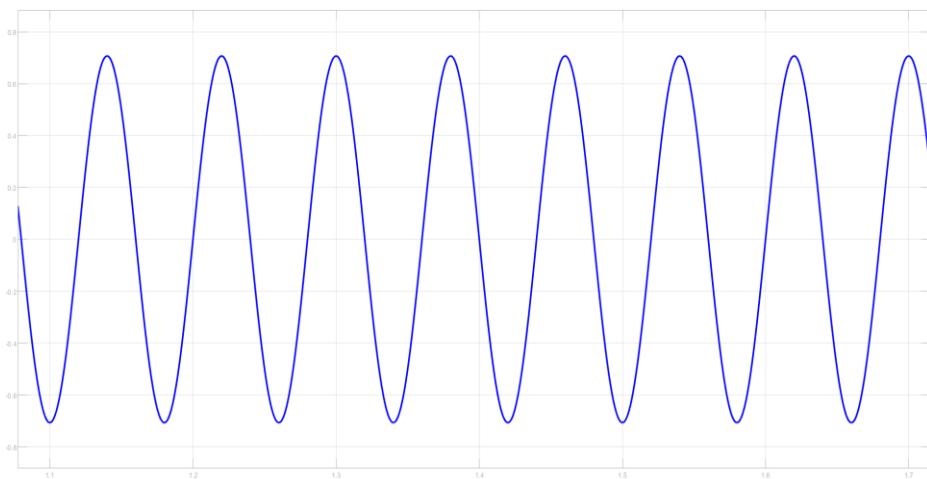


Hình 6 Khối điều khiển SAR ADC

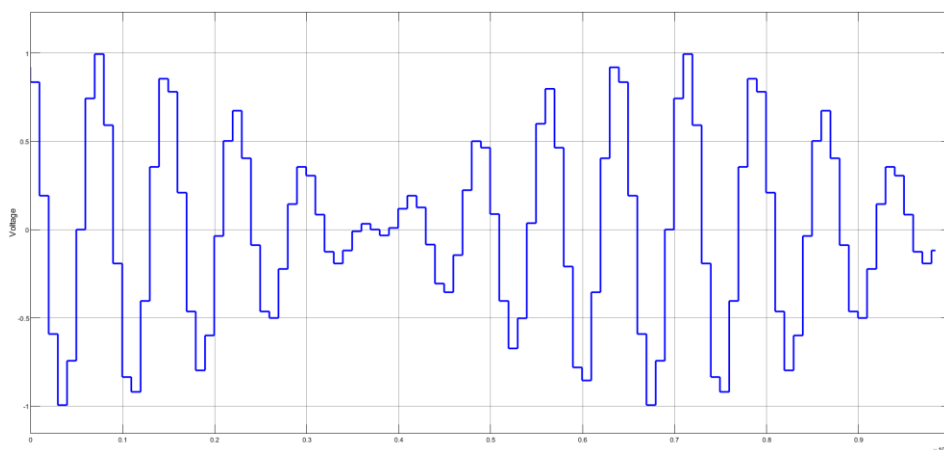
### 3. KẾT QUẢ (RESULTS)

Về bản chất, ADC SAR 13 bit được đề xuất có thể định cấu hình và thành phần chính của đơn vị cấu hình được đề xuất là đơn vị phát hiện tần số của nó, xác định tần số của tín hiệu tương tự đầu vào, dựa trên tần số xung nhịp hoạt động và tốc độ mẫu của ADC đã chọn. Mô hình hành vi được đề xuất của ADC và từ đó hiểu tác động của

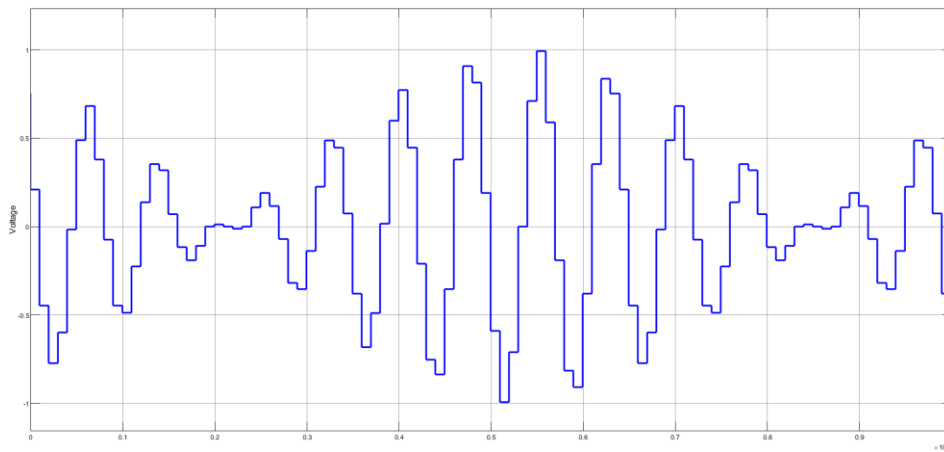
thành phần không lý tưởng khác nhau, ADC đề xuất được mô phỏng với các thông số kỹ thuật mong muốn. Ban đầu, tín hiệu đầu vào được đưa vào và các dạng sóng đầu ra của tín hiệu được tạo bằng cách sử dụng SAR ADC 13 bit lý tưởng và không lý tưởng được đề xuất. **Hình 7** cho thấy tín hiệu đầu vào tương tự ở tần số 10 MHz với  $V_{pp}=1.5V$ . **Hình 8** cho thấy tín hiệu đầu ra của SAR-ADC khi DAC là trường hợp lý tưởng. Trong khi **Hình 9** cho thấy tín hiệu đầu ra của SAR-ADC khi áp dụng phương pháp DAC được đề xuất. Bên cạnh đó, chúng tôi cũng đạt được DAC lý tưởng đạt được SNR cao tới 80,02 dB, tương đương với số bit hiệu dụng (ENoB) là 13 bit, trong trường hợp không lý tưởng, SNR là 79,96 dB và ENoB là 12,98- bit đạt được. Ngoài ra, DAC không lý tưởng có độ méo (tổng méo hài- THD) thấp hơn -78,73 dB so với THD của DAC không lý tưởng. Dải động không nhiễu (SFDR) và tỷ lệ tín hiệu trên nhiễu và biến dạng (SINAD) đạt được trong trường hợp lý tưởng là 101,16 dB và 79,91 dB.



Hình 7: Tín hiệu đầu vào.



Hình 8: Tín hiệu của DAC lý tưởng.



Hình 9: Tín hiệu của SAR ADC 13-bit.

#### 4. KẾT LUẬN (CONCLUSION)

Thay cho Flash ADC hoặc Pipeline ADC, SAR ADC 13-bit được mô phỏng và mô hình hóa cho hoạt động ở tần số cao. Nghiên cứu này đã đưa ra tìm hiểu và thiết kế bộ chuyển đổi tương tự-số ADC cho các ứng dụng đặc biệt là ứng dụng 5G. Phần đầu của bài báo cáo đã đưa ra lý thuyết và kiến trúc cơ bản của ADC tập trung vào SAR ADC. Phần sau bài báo cáo là phân tích các khối SAR ADC và kết quả được mô phỏng và mô hình hóa trong Matlab. Ở điều kiện tiêu chuẩn, các tham số hiệu năng của ADC lần lượt là SFDR= 101.16 dB, SINAD=19.91dB, THD=-78.73 dB tương đương với số bit hiệu dụng là ENOB=12.98 bits, SNR = 79,96 dB.

#### TÀI LIỆU THAM KHẢO (REFERENCES)

- [1] B. Murmann, 2016. *The successive approximation register ADC: a versatile building block for ultra-low-power to ultra-high-speed applications*. IEEE Communications Magazine.
- [2] G. M. Salgado, A. Dicaldo, D. O'Hare, I. O'Connell and J. M. de la Rosa, 2018. *Behavioral Modeling of SAR ADCs in Simulink*. 2018 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1-5.
- [3] S. Ahmed and V. Kakkar, 2018. *Modeling and simulation of an eight-bit auto-configurable successive approximation register analog-to-digital converter for cardiac and neural implants*, Simulation: Transactions of the Society for Modeling and Simulation International, vol. 94(1) 11-29.

[4] Sounak Dutta, “*Modeling and simulation of a 12-bit 250MSps SAR ADC for 5G Frequency*”, Thesis January 2022, Jadavpur University, No.: 140722 of 2017-2018.

[5] R. Khalil, A. Dudka, D. Galayko, R. Iskander and P. Basset, 2010. *Design and modeling of a successive approximation ADC for the electrostatic harvester of vibration energy*. 2010 IEEE International Behavioral Modeling and Simulation Workshop, 2010, pp. 57-62.